

Sviluppo di componenti su FPGA. Pianificazione di seminari degli studenti

Esercitazione 09 di Sistemi dedicati

Docente: Giuseppe Scollo

Università di Catania
Dipartimento di Matematica e Informatica
Corso di Laurea Magistrale in Informatica, AA 2018-19

Indice

1. Sviluppo di componenti su FPGA. Pianificazione di seminari degli studenti
2. argomenti dell'esercitazione
3. introduzione all'uso del software Qsys
4. esempio di integrazione di un sistema Nios II su FPGA
5. sviluppo di un componente Avalon memory-mapped su FPGA
6. pianificazione di seminari degli studenti
7. riferimenti

in questa esercitazione si trattano:

- uso di Qsys per il progetto di un sistema hardware con processore Nios II
- integrazione ed esecuzione su FPGA di un'applicazione su un sistema Nios II progettato con Qsys
- sviluppo di un componente Avalon memory-mapped su FPGA
- pianificazione di un seminario di studente

introduzione all'uso del software Qsys

lo sviluppo di un SoC con applicazioni è una tipica attività di codesign HW/SW
consiste di progetto e sviluppo di componenti di entrambi i tipi e la loro *integrazione* a formare un sistema

lo strumento di Quartus usato in questa esercitazione per l'integrazione di componenti hardware nello sviluppo di SoC è Qsys

permette di selezionare componenti quali processori, memorie, interfacce di I/O, timer, componenti hardware *custom* ecc., in una GUI dove se ne specificano le connessioni, e quindi di generare automaticamente la descrizione hardware del sistema

la successiva compilazione in Quartus produce un sistema per la programmazione della FPGA, sul quale si può caricare un'applicazione software mediante il Monitor Program, compilarla ed eseguirla sotto controllo del debugger GDB, come mostrato nell'esercitazione precedente

in questa esercitazione si mostrano due semplici casi di progetto con Qsys:

- costruzione di un sistema Nios II ed esecuzione di un'applicazione che gestisce due periferiche sulla FPGA (interruttori e led)
- costruzione di un componente hardware custom (un registro) e sua integrazione in un sistema Nios II attraverso un'interfaccia di *slave* mappato in memoria sul bus Avalon, dove il suo contenuto è visualizzato su display a sette segmenti

esempio di integrazione di un sistema Nios II su FPGA

la prima parte dell'esercitazione in aula riproduce l'esecuzione dell'esempio di costruzione con Qsys di un sistema dotato di un processore Nios II, un po' di memoria su chip e un paio di periferiche con interfacce di I/O mappate in memoria su bus Avalon, come illustrato in figura, descritto nel primo tutorial di riferimento

i sorgenti VHDL e software sono reperibili nell'area riservata di laboratorio, cartella VHDL/code/e09

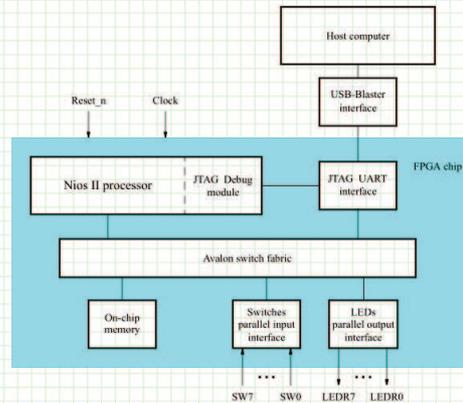


Figura 1. Diagramma a blocchi di un esempio minimale di sistema Qsys su FPGA

sviluppo di un componente Avalon memory-mapped su FPGA

la seconda parte dell'esercitazione in aula riproduce l'esecuzione dell'esempio di costruzione di un sistema Qsys dotato di un componente hardware custom mappato in memoria con interfaccia su bus Avalon, come illustrato in figura, descritto nel secondo tutorial di riferimento

i sorgenti VHDL sono reperibili nell'area riservata di laboratorio, cartella VHDL/code/e09

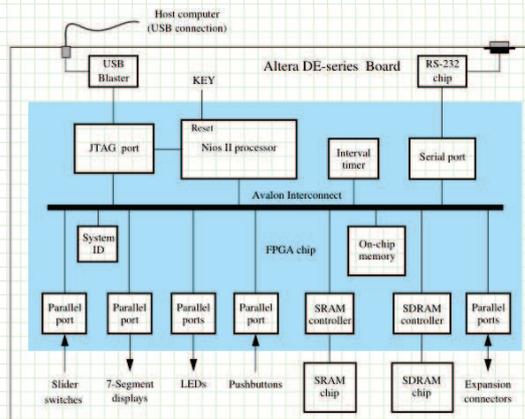


Figura 2. Diagramma a blocchi di un esempio complesso di sistema Nios II su FPGA

pianificazione di seminario studente

vengono proposte tre opzioni per l'oggetto di una presentazione in aula:

1. argomento (di una parte) della lezione 10
2. argomento (di una parte) della lezione 11
3. argomento della lezione 12, con scelta dell'applicazione specifica di maggior interesse dello studente

dopo una panoramica dei materiali didattici di riferimento viene scelta una variante dell'opzione 3, con il seguente piano della presentazione dello studente:

progetto di un'applicazione audio su FPGA, Rosario Roccella, E12, 14/01/2019

riferimenti potranno essere aggiunti più avanti dallo studente

riferimenti

letture raccomandate:

Introduction to the Qsys System Integration Tool - For Quartus Prime 16.1, Intel Corp. - FPGA University Program, November 2016

Making Qsys Components - For Quartus Prime 16.1, Intel Corp. - FPGA University Program, November 2016