

Linguaggi di descrizione dell'hardware: Gezel, VHDL, Verilog, SystemC

Esercitazione 02 di Sistemi dedicati

Docente: Giuseppe Scollo

Università di Catania
Dipartimento di Matematica e Informatica
Corso di Laurea Magistrale in Informatica, AA 2016-17

1 di 8

Indice

1. Linguaggi di descrizione dell'hardware: Gezel, VHDL, Verilog, SystemC
2. argomenti dell'esercitazione
3. Gezel: concetti di base
4. introduzione rapida a VHDL
5. cenni di Verilog e SystemC
6. esperienza di laboratorio
7. riferimenti

2 di 8

in questa esercitazione si trattano:

- concetti di base di Gezel
- primo approccio alla descrizione di hardware sincrono in VHDL
- cenni di Verilog e SystemC
- esperienza di laboratorio

Gezel: concetti di base

essenzialmente, due sorte di variabili: segnali e registri

- di uno o più bit, di tipo ns o tc ecc.
- i registri sono inizializzati a zero, i segnali non hanno memoria
- ingressi e uscite di un datapath sono sempre segnali
- l'uscita di un registro acquisisce il valore in ingresso solo sul fronte attivo del clock, dunque la semantica dell'assegnamento a registro (a intervalli di tempo discreti) è diversa da quella dell'assegnamento a segnale (istantanea)

l'ordine degli assegnamenti è irrilevante

l'hardware è inerentemente parallelo

le espressioni a destra degli assegnamenti sono costruite da operatori che hanno una diretta interpretazione quali componenti hardware, v. Schaumont tabella 5.1 e sez. 5.1.3

incapsulamento in datapath e gerarchia strutturale, con riuso e clonazione di moduli, v. Schaumont sez. 5.2

introduzione rapida a VHDL

livello di astrazione: eventi discreti; semantica: coda degli eventi futuri

unità di specifica:

- *entità*: specifica di interfaccia (porte: nomi, tipi e direzioni dei segnali di I/O)
 può avere parametri: dichiarazioni *generic*
- *architettura*: specifica dell'interno dell'entità

più architetture associabili a una data entità, secondo stili di specifica differenti:

- *di funzione*: in termini di *processi sequenziali*, attivati da variazioni di certi segnali (*sensitivity list*)
- *di comportamento*: in termini di assegnamenti *concorrenti* (relazioni fra segnali)
- *di struttura*: in termini di *componenti e connessioni* delle porte di loro istanze

incapsulamento e gerarchia:

- *componenti*: incapsulamento simile a quello di entità, gerarchia strutturale
- *processi*: incapsulano funzionalità, ma non ne è consentita la nidificazione

v. Wilson cap. 3 per una prima introduzione alla sintassi di costrutti VHDL e semplici esempi

cenni di Verilog e SystemC

livello di astrazione: eventi discreti (come VHDL)

Verilog, alcune caratteristiche:

- simile a VHDL per la descrizione di schemi di entità connesse
- più caratteristiche per la descrizione di basso livello (transistori)
- meno flessibile per la specifica top-down di sistemi
 SystemVerilog progettato a tal fine, ma meno supportato da strumenti di sintesi automatica
- v. Wilson cap. 4 per una prima introduzione alla sintassi di Verilog e semplici esempi

SystemC, alcune caratteristiche:

- libreria di classi C++ con funzioni richieste per la descrizione di hardware
- processi concorrenti controllati da *sensitivity list* (v. VHDL)
- architettura stratificata del linguaggio, con canali di comunicazione, di modelli di computazione e canali per specifiche metodologie
- v. Marwedel sez. 2.7 per una introduzione più articolata a SystemC

esperienza di laboratorio

la traduzione in VHDL prodotta dal generatore di codice Gezel talvolta dà qualche sorpresa...

- creare il file sorgente `delay_collatz_rev.fdl` contenente la descrizione Gezel della seconda versione dell'esempio Gezel presentato nella seconda lezione
N.B. il file è reperibile nell'area dedicata di laboratorio, cartella 3x+1
- eseguire da linea di comando: `fdlvhd delay_collatz_rev.fdl`
- lanciare Quartus 13.1 (Web edition) e in tale sistema creare un nuovo progetto di nome `delay_collatz`
- copiare i file `.vhd` prodotti al passo 2 nella cartella del progetto e visualizzare il file `delay_collatz_rev.vhd` nell'editor di Quartus
- assegnare i file suddetti al progetto, compilare e visualizzare il messaggio di errore che interrompe la compilazione
- con doppio click sul messaggio di errore nel report di compilazione, identificare la linea di codice sorgente VHDL che causa l'errore
- analizzare il sorgente `delay_collatz_rev.vhd` ed escogitarne una modifica che elimini l'errore
- impostare il clock a una frequenza che assicuri un valore positivo per lo slack di caso peggiore
- creare forme d'onda di test per il circuito, con un input di clock corrispondente alla frequenza del passo precedente, il valore 27 per l'inizio della prima traiettoria e, a seguire nella stessa forma d'onda, un altro valore iniziale per una seconda traiettoria dopo 75 cicli di clock
- lanciare l'esecuzione della simulazione funzionale e verificare la corrispondenza del risultato alle attese
- determinare se e come sia possibile modificare il sorgente Gezel `delay_collatz_rev.fdl` in modo che la sua traduzione in VHDL non comprometta la compilazione

riferimenti

letture raccomandate:

Schaumont (2012) Cap. 5, Sez. 5.1-5.2

Wilson (2015) Capp. 1, 3, 4

altre fonti per consultazione:

Brandolese, Fornaciari (2007), App. B

Marwedel (2011) Cap. 2, Sez. 2.7

Vahid (2006): Digital Design, Cap. 9, Hardware Description Languages (PDF slides)

Smith (1996): VHDL & Verilog Compared & Contrasted