Struttura di base del processore, microarchitetture RISC e CISC

Lezione 09 di Architettura degli elaboratori

Docenti: A-L: Giuseppe Scollo, M-Z: Christian Napoli

Università di Catania
Dipartimento di Matematica e Informatica
Corso di Laurea in Informatica, I livello, AA 2018-19

 Copyleft 🄯 2019 Giuseppe Scollo

Indice

1. Struttura di base del processore, microarchitetture RISC e CISC
2. argomenti della lezione
3. riferimenti

 Copyleft 🄯 2019 Giuseppe Scollo

argomenti della lezione

in questa lezione si trattano:

- architettura: organizzazione hardware multistadi
- esecuzione di istruzioni macchina
  - *schema di esecuzione di istruzioni RISC in cinque passi*
- componenti hardware
  - banco di registri, unità aritmetica-logica
  - organizzazione a cinque stadi
  - percorso dati
  - sezione di prelievo
- passi di prelievo ed esecuzione
  - istruzioni aritmetiche e logiche
  - istruzioni di trasferimento
  - istruzioni di salto
  - istruzioni di chiamata di sottoprogramma
- ritardo della memoria

Copyleft © 2019 Giuseppe Scollo

riferimenti

capitolo 5 del testo di riferimento, paragrafi 5.1-4

ad accesso riservato:

- presentazione: cap. 5, pp. 1-24
- esercizi

Copyleft © 2019 Giuseppe Scollo